

日本国特許庁  
JAPAN PATENT OFFICE

J1036 U.S. PRO  
09/988194  
11/19/01  


別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2001年10月11日

出願番号

Application Number:

特願2001-313624

出願人

Applicant(s):

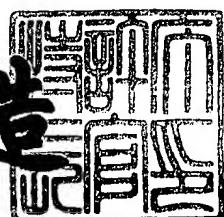
日本ビクター株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願  
 【整理番号】 413001000  
 【提出日】 平成13年10月11日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H04N 7/01  
                   H04N 7/015  
                   H04N 5/46

## 【発明者】

【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビ  
クター株式会社内  
 【氏名】 湯上 昌郁

## 【特許出願人】

【識別番号】 000004329  
 【氏名又は名称】 日本ビクター株式会社  
 【代表者】 寺田 雅彦  
 【電話番号】 045-450-2423

## 【先の出願に基づく優先権主張】

【出願番号】 特願2000-352360  
 【出願日】 平成12年11月20日

## 【手数料の表示】

【予納台帳番号】 003654  
 【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
 【物件名】 図面 1  
 【物件名】 要約書 1

## 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像表示装置

【特許請求の範囲】

【請求項1】

水平周波数15.75kHzのインターレース信号である第1の映像信号と、水平周波数33.75kHzのインターレース信号である第2の映像信号とを入力映像信号とする映像表示装置において、

前記第1及び第2の映像信号を水平周波数45kHzのインターレース信号である第3の映像信号に変換するよう処理する映像信号処理部と、

前記第3の映像信号を表示する陰極線管表示部と、

前記第3の映像信号を前記陰極線管表示部に表示するために前記陰極線管表示部の電子ビームを水平及び垂直偏向する偏向回路と、

所定のロックレンジを有し、前記偏向回路に单一の水平同期信号を供給するPLL回路とを備え、

前記PLL回路は、周波数45kHzを前記ロックレンジ内に含み、前記单一の水平同期信号として、前記ロックレンジ内に含まれる周波数を有する水平同期信号を前記偏向回路に供給することを特徴とする映像表示装置。

【請求項2】

前記第1及び第2の映像信号に加えて、水平周波数31.5kHzのプログレッシブ信号である第4の映像信号を入力映像信号とし、前記映像信号処理部は、前記第4の映像信号を前記第3の映像信号に変換することを特徴とする請求項1記載の映像表示装置。

【請求項3】

前記第1及び第2の映像信号に加えて、水平周波数45kHzのプログレッシブ信号である第5の映像信号を入力映像信号とし、前記映像信号処理部は、前記第5の映像信号を前記第3の映像信号に変換することを特徴とする請求項1または2のいずれかに記載の映像表示装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、複数のフォーマットの映像信号を表示するのに好適な映像表示装置に関する。

**【0002】****【従来の技術】**

近年、テレビジョン受像機等の映像表示装置においては、デジタル放送の開始に伴って、複数のフォーマットの映像信号を表示する必要性が生じている。映像信号のフォーマットとしては、全走査線数525本、有効走査線数480本のインターレース(480i)、全走査線数1125本、有効走査線数1080本のインターレース(1080i)、全走査線数525本、有効走査線数480本のプログレッシブ(480p)、全走査線数750本、有効走査線数720本のプログレッシブ(720p)がある。

**【0003】**

これらのフォーマットにおいては、垂直周波数は同一であるが、1フィールド当たりの有効走査線数は、480iでは $480/2$ 本、1080iでは $1080/2$ 本、480pでは480本、720pでは720本と、それぞれ異なっている。一方、水平周波数は、480iでは15.75kHz、1080iでは33.75kHz、480pでは31.5kHz、720pでは45kHzと、それぞれ異なっている。

**【0004】**

映像表示装置において、これらの複数のフォーマットの映像信号を全て表示しようとした場合、映像表示装置の水平走査周波数を、15.75kHz, 33.75kHz, 31.5kHz, 45kHzで切り換えることが考えられる。この場合、映像表示装置は、4種類の水平走査周波数に対応させなければならない。480iの映像信号をインターレース-プログレッシブ(I-P)変換によって480pの映像信号とすれば、3種類の水平走査周波数に対応させればよい。これでも3種類の水平走査周波数に対応させる必要があるので、映像表示装置に表示するフォーマットとして、1080iに統一することも検討されている。

**【0005】**

## 【発明が解決しようとする課題】

上記のように、映像表示装置において複数のフォーマットの映像信号に対応させるには、例えば陰極線管（C R T）を用いた表示装置の場合では、フォーマット毎にC R Tの同期を変更する必要があり、偏向回路にて大きな電圧変動が生じて偏向回路に大きな負荷がかかる。C R Tを用いない表示装置においても、複数のフォーマットの映像信号に対応させることは、駆動回路にとって大きな負担となる。

## 【0006】

また、フォーマットが切り替わるたびに同期を取り直さなければならぬので、品位上の問題から、画面上の映像の表示を一時的にマスク（ブランкиング）する必要がある。よって、映像表示装置の制御動作が煩雑化すると共に、一時的に映像が表示されないという不具合を招くこととなる。このように、映像表示装置において複数のフォーマットの映像信号に対応させることは、各種の不具合を招いてしまう。

## 【0007】

そこで、これらの問題点を解決するには、映像表示装置に表示するフォーマットを1080iに統一すればよい。しかしながら、フォーマットを1080iに統一すると、次のような不具合がある。480iを1080iに変換すると、走査線数は9／4倍となり、720pを1080iに変換すると、走査線数は3／4倍となる。従って、フォーマットを1080iに統一すると、フォーマット変換の処理として、走査線数の拡大と縮小とが混在することになり、フォーマット変換の処理回路を構成する補間フィルタのハードウェア規模が大きくなってしまう。

## 【0008】

本発明はこのような問題点に鑑みなされたものであり、複数のフォーマットの入力映像信号を、実用上最も優れた单一のフォーマットに変換して表示することができる映像表示装置を提供することを目的とする。また、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、極めて高画質の映像を表示することができる映像表示装置を提供することを目的とする。

## 【0009】

## 【課題を解決するための手段】

本発明は、上述した従来の技術の課題を解決するため、水平周波数15.75 kHzのインターレース信号である第1の映像信号と、水平周波数33.75 kHzのインターレース信号である第2の映像信号とを入力映像信号とする映像表示装置において、前記第1及び第2の映像信号を水平周波数45 kHzのインターレース信号である第3の映像信号に変換するよう処理する映像信号処理部（1～3）と、前記第3の映像信号を表示する陰極線管表示部（9）と、前記第3の映像信号を前記陰極線管表示部に表示するために前記陰極線管表示部の電子ビームを水平及び垂直偏向する偏向回路（8）と、所定のロックレンジを有し、前記偏向回路に单一の水平同期信号を供給するPLL回路（7）とを備え、前記PLL回路は、周波数45 kHzを前記ロックレンジ内に含み、前記单一の水平同期信号として、前記ロックレンジ内に含まれる周波数を有する水平同期信号を前記偏向回路に供給することを特徴とする映像表示装置を提供するものである。

## 【0010】

## 【発明の実施の形態】

以下、本発明の映像表示装置について、添付図面を参照して説明する。図1は本発明の映像表示装置で用いる映像信号処理装置（映像信号処理部）の構成例を示すブロック図、図2は480p, 720p, 1080pから1440pへの走査線変換を示す図、図3は補間フィルタの構成例を示すブロック図、図4は480p, 720p, 1080pから1440pへの走査線変換における位相のオフセットを示す図、図5はプログレッシブインターレース変換を示す図、図6は本発明の映像表示装置の一実施形態を示すブロック図、図7は本発明の映像表示装置を説明するための図、図8はマルチ画面の表示例を示す図、図9は図8に示すマルチ画面を実現する場合の映像信号処理装置の構成例を示すブロック図である。

## 【0011】

本発明の映像表示装置は、入力された映像信号が480i, 1080i, 480p, 720pのいずれであっても、有効走査線数1440本のインターレース

(1440i) または有効走査線数1440本のプログレッシブ(1440p)にフォーマット変換することを特徴とする。図1は1440iまたは1440pにフォーマット変換するための具体的構成を示している。以下説明する本実施形態では、最も好ましい実施形態として、入力映像信号を480i, 1080i, 480p, 720pの4種類としているが、本発明の映像表示装置としては、これらの映像信号全てを入力映像信号とする必要はない。本発明は、その内の任意の2つ以上の組み合わせを入力映像信号とする場合に適用できる。

#### 【0012】

図1において、図示していない映像信号の供給源より供給された480iの映像信号は、I-P変換部1のI-P変換器11に入力されて480pのプログレッシブ信号に変換される。図示していない映像信号の供給源より供給された1080iの映像信号は、I-P変換部1のI-P変換器12に入力されて1080pのプログレッシブ信号に変換される。インターレース信号をプログレッシブ信号に変換するのは、フィールド内の情報量を増やし、後段の拡大縮小部2における拡大縮小処理をより高画質に行うためである。

#### 【0013】

本実施形態では、I-P変換器11, 12においてプログレッシブ信号に変換するとしたが、実際に倍の走査線密度とするのではなく、プログレッシブ信号にするための補間データをバッファ等に保存してプログレッシブ相当の信号を生成するだけでもよい。要するに、480p, 1080pの走査線数の信号となっていればよい。

#### 【0014】

I-P変換器11より出力された480pの信号は、拡大縮小部2の6/2変換器21に入力される。I-P変換器12より出力された1080pの信号は、拡大縮小部2の4/3変換器23に入力される。図示していない映像信号の供給源より供給された480pの映像信号は、そのまま6/2変換器21に入力される。図示していない映像信号の供給源より供給された720pの映像信号は、拡大縮小部2の2/1変換器22に入力される。

#### 【0015】

ここで、図示していない映像信号の供給源とは、例えば、デジタルテレビジョン放送の受信部や、ビデオテープレコーダあるいはビデオディスクプレーヤ等の外部機器である。入力された映像信号のフォーマットを判別し、切換器（スイッチ）を用いて、480iであればI-P変換器11に、1080iであればI-P変換器12に、480pであれば6/2変換器21に、720pであれば2/1変換器22にそれぞれ選択的に供給する。

## 【0016】

拡大縮小部2の6/2変換器21、2/1変換器22、4/3変換器23は、入力された480p、720p、1080pそれぞれの信号の走査線数をそれぞれ6/2倍、2/1倍、4/3倍して、1440pの信号に変換するためのものである。本実施形態では、480p、720p、1080pの信号に対する処理は全て拡大であるので、縮小処理は必要ないが、種々の表示態様（縮小表示等）を考慮して、拡大縮小部と称している。図2は、480p、720p、1080pの信号を1440pに走査線変換する様子を示している。図2に示すように、480p、720p、1080pから1440pへの変換においては、走査線数はそれぞれ3倍、2倍、4/3倍である。

## 【0017】

よって、拡大縮小部2におけるフォーマット変換のための走査線変換処理は全て拡大で行われ、上述したような1080iに統一する場合のような走査線変換の際の縮小による情報欠落が全くないのである。また、6/2変換器21、2/1変換器22、4/3変換器23を構成する補間フィルタの補間比率は簡単な整数比であるため、フィルタ係数を簡易に構成することができる。よって、6/2変換器21、2/1変換器22、4/3変換器23のハードウェア規模はさほど大きくならない。

## 【0018】

これについて1080iに統一した場合と比較して具体的に説明する。それぞれのフォーマットにおける補間位相、即ち、入力信号に対する1440pの位置は、

$$480p \rightarrow \{0, 1/3, 2/3\}$$

$720p \rightarrow \{0, 1/2\}$

$1080p \rightarrow \{0, 3/4, 1/2, 1/4\}$

となり、拡大縮小部2は、それぞれの補間位相分の補間フィルタを備えればよい。

### 【0019】

一方、 $1080i$ に統一した場合した場合には、

$480p \rightarrow \{0, 4/9, 8/9, 3/9, 5/9, 2/9, 6/9, 1/9\}$

$720p \rightarrow \{0, 2/3, 1/3\}$

となり、 $1440p$ に統一した場合と比較して非常に多くの補間位相が発生してしまう。

### 【0020】

$1440p$ に統一した場合には、上記のように、6組の補間フィルタで拡大縮小部2を構成することができるため、補間フィルタとして、乗算器を用いなくても加算器を用いるだけで精度よく小規模で実現することが可能である。一方、 $1080p$ に統一した場合には、10組もの補間フィルタを必要とするので、演算精度が高くフィルタ係数の自由度が大きい乗算器を用いた構成とすることが必要となる。よって、ハードウェア規模が大きくなる。これに加え、分母に9という位相を持つため補間精度も悪くなってしまう。

### 【0021】

図3を用いて、本発明によりハードウェア規模を小さくできることについて説明する。図3では、係数 $\{1/2, 1/2\}$ の補間フィルタを例にしている。図3(A)と図3(B)とで、同一機能部分には同一符号が付してある。図3(A)は、補間フィルタを遅延器4と加算器5とで構成した場合を示している。なお、図3(A)の加算器5は $1/2$ 加算器である。この図3(A)に示す補間フィルタと同等のフィルタは、図3(B)に示すように、遅延器4と加算器5と乗算器6, 7でも実現することができる。なお、乗算器6, 7は入力信号を $1/2$ 倍にして出力するものである。

### 【0022】

図3(B)に示す構成で演算精度を図3(A)と同じにした場合、ハードウェ

ア規模は33倍程度必要となる。なぜならば、入力信号を8ビットとすると、入力信号8ビット×係数8ビットの乗算器は加算器が16個必要であるからである。なお、図3(A)の構成は係数に自由度はないが、ビット精度内で自由に係数を与えることができる。

## 【0023】

このように、フォーマットを1440pに統一する本発明においては、拡大縮小部2の補間フィルタを加算器で実現できるので、ハードウェア規模を小さくすることができる。また、たとえ1080pに統一する場合において補間フィルタを加算器で実現したとしても、1440pに統一する本発明の方がハードウェア規模は小さくなる。このように、フォーマットを1440pに統一する本発明では、1080pに統一する場合よりもそもそもハードウェア規模を小さくすることができ、補間フィルタを加算器で構成することもできるため、さらにハードウェア規模を小さくすることができる。この

## 【0024】

また、本発明では、高精度で画質劣化の少ない補間が可能である。1080pに統一する場合のように補間フィルタの位相が多岐に渡る場合、位相によって画質に大きな差が生じるため、結果として画質劣化を伴うこととなる。これは、位相が0または1の近傍が最も原信号に近い成分を保存し、周辺原信号を混合する位相1/2の近傍が最も高域成分が落ちるためである。1つの画像の中に多くの補間位相が存在すると、高域成分の有無により補間縞を発生してしまう。従って、多くの補間位相が必要となる1080p(1080iも同様)への変換と比較して、少ない補間位相でよい1440p(1440iも同様)への変換は、画質劣化が少なく、高画質となる。

## 【0025】

ところで、図2において、480p, 720p, 1080pから1440pへの走査線変換の補間位相について説明したが、原画素をそのまま出力することになる位相0の出力画素は、他の補間画素に比べて高帯域成分を持つてしまう。そこで、拡大縮小部2における走査線変換処理は、図4に示すように、補間位相を一様にオフセットさせるようとする。補間位相をずらすことにより、ラインフリ

ツカ等の画質劣化を防ぐことができる。図4のように補間位相をずらすことは、補間フィルタの係数を適宜に設定することによって容易に実現できる。

## 【0026】

なお、図4のように補間位相をずらすことによって画質のシャープさが多少失われたとしても、1440pまたは1440iの信号とした後に高域成分を補償するエンハンサ等によって画質を制御することが可能であるので、問題となることはない。

## 【0027】

再び図1に戻り、拡大縮小部2より出力された1440pの信号は、プログレッシブ-インターレース(P-I)変換部3に入力される。なお、本発明の映像表示装置が1440pの信号を表示する場合には、P-I変換部3は不要となる。本実施形態では、最終的に1440iの信号を出力して表示する場合について示す。P-I変換部3は、入力された1440pの信号をインターレース変換して1440iの信号を出力する。

## 【0028】

即ち、図5に示すように、1440pの信号の走査線を2本の走査線毎に1本間引き、フィールド毎にその間引き位相を1走査線分(1ライン)オフセットさせる。これにより、1440pのプログレッシブ信号は、第1フィールド及び第2フィールドとでインターレースした水平周波数45kHzを有する1440iのインターレース信号となる。1440iの信号は、映像信号処理装置から外部へと出力されたり、映像表示装置のCRT等の表示部にて表示される。なお、映像表示装置の場合には、P-I変換部3の出力は、表示部を駆動するための駆動回路に供給され、駆動回路が表示部を駆動して映像を表示する。

## 【0029】

表示部としてCRTを用いた映像表示装置の場合、720pの信号を表示することができる偏向回路をベースとして用い、垂直偏向の位相を信号処理の出力位相に合わせてオフセットして1440iの信号を表示すればよい。よって、本発明の映像表示装置は、既存の駆動回路(偏向回路等)を若干改良するだけで実現することができる。インターレース対応のドットマトリクス型の表示装置であつ

ても、信号処理の出力フィールドに合わせて信号を書き込むことにより、1440iの信号を表示することができる。よって、本発明の映像表示装置は、大幅なコストアップなく実現可能である。

#### 【0030】

さらに、I-P変換部1において、前述のように、入力された480iまたは1080iの信号を実際に倍の走査線密度とするのではなく、プログレッシブ相当の信号を生成するだけとした場合には、次のような利点を有する。この場合、拡大縮小部2以降の回路は、720pフォーマットと同等の74.25MHzのクロックレートで全ての処理がなされることになる。1080iフォーマットのクロックも720pと同じ74.25MHzであるから、信号処理上、上720p, 1080i, 1440iの信号を同一クロックで処理することができる。

#### 【0031】

このように、クロックを統一した場合には、水平周期や水平有効画素は720pと同等の1280画素となる。1080iの水平有効画素は1920画素であるから、74.25MHzで処理すると水平有効画素は本来の1920画素から1280画素に減るが、民生のテレビジョン受像機やドットマトリクス型の表示装置においては実用上、1280画素もあれば十分である。勿論、1440iに変換した際の水平有効画素を1920画素とするよう、P-I変換部3の出力のクロックレートを増やしてもよい。

#### 【0032】

以上のようにして、本発明の映像表示装置においては、映像信号のフォーマットを1440i（または1440p）に統一したので、ハードウェア規模の小さな補間フィルタで、单一のフォーマットに変換することが可能となる。

#### 【0033】

さて、ここで、図6を用いて、本発明の映像表示装置で用いる表示部としてCRTを用いた場合の具体的構成について説明する。図6において、図1と同一部分には同一符号を付し、その説明を適宜省略する。以上の説明では、有効走査線数を統一したことに伴う種々の効果について述べたが、表示部としてCRTを用いた場合、水平周波数を統一することが大きな意味を有することになる。

## 【0034】

図6において、P-I変換部3より出力された1440iの信号は、CRT9に供給される。なお、実際には、1440iの信号は各種の映像信号処理を施されてCRT9に供給されるが、図示を省略している。

## 【0035】

同期変換回路6には、入力映像信号の水平同期信号（入力水平同期信号）と、垂直同期信号（入力垂直同期信号）と、入力映像信号のサンプリングクロック（入力クロック）と、CRT9に1440iの信号を表示するのに必要な表示クロックとが入力される。入力映像信号が480iであれば、一例として、入力クロックの周波数は13.5MHzである。入力垂直同期信号の周波数は、60Hzあるいは59.94Hzである。表示クロックの周波数は、垂直同期信号の周波数が60Hzの場合には74.25MHzであり、垂直同期信号の周波数が59.94Hzの場合には74.176MHzである。

## 【0036】

入力クロックと入力水平同期信号と入力垂直同期信号はI-P変換部1と拡大縮小部2にも入力され、表示クロックは拡大縮小部2とP-I変換部3にも入力される。なお、図1では、入力クロック及び表示クロックや入力水平同期信号及び入力垂直同期信号をI-P変換部1～P-I変換部3に入力することに関する図示は省略されている。

## 【0037】

同期変換回路6は、入力クロックと表示クロックとに基づいて、入力水平同期信号を周波数45kHz近傍の水平同期信号へと同期変換する。同期変換には、同期信号の幅や位相の調整を含むことがある。同期変換回路6は、入力垂直同期信号の周波数は変換せず、幅や位相を調整して出力する。周波数45kHz近傍の水平同期信号と、周波数は、60Hz／59.94Hzの垂直同期信号は、PLL回路7に入力される。同期変換回路6より出力された水平同期信号と垂直同期信号は、拡大縮小部2とP-I変換部3にも入力される。

## 【0038】

PLL回路7は、入力された水平同期信号を基にして、CRT9に1440i

の信号を表示するのに必要な、周波数4.5 kHzで安定した表示水平同期信号を出力する。垂直同期信号はPLL回路7をスルーして、表示垂直同期信号として出力される。PLL回路7は、自動周波数制御（AFC）回路でもある。表示水平同期信号と表示垂直同期信号は、偏向回路8に供給される。偏向回路8はCRT9に装着された偏向ヨーク（図示せず）を含み、CRT9の電子ビームを水平及び垂直方向に偏向する。これにより、P-I変換部3より出力された1440iの信号は、水平走査周波数4.5 kHzでCRT9の画面上に表示される。

#### 【0039】

本実施形態では、CRT9に供給する映像信号が、水平周波数4.5 kHzの1440iの信号であるため、PLL回路7によって周波数4.5 kHzである単一の表示水平同期信号を偏向回路8に供給しているが、CRT9に供給する映像信号の水平周波数と、偏向回路8に供給する表示水平同期信号の周波数（水平走査周波数）は完全に一致させる必要はない。

#### 【0040】

図6は、PLL回路7のロックレンジ（周波数引き込み範囲）を示している。PLL回路7は、共振ゲイン1.0である中心周波数を中心として、±5%の範囲であれば、周波数を引き込むことができ、CRT9を安定的に駆動することができる。よって、PLL回路7は、図6に示すように周波数4.5 kHzを中心周波数とするだけでなく、周波数4.5 kHzをロックレンジ内に含み、ロックレンジ内に含まれる周波数を有する表示水平同期信号を偏向回路8に供給すればよい。

#### 【0041】

本発明のように、入力映像信号を全て水平周波数4.5 kHzに揃えることは、複数のフォーマットを表示する上で極めて有効となる。例えば、VESA規格によるXGAフォーマット（垂直周波数60Hz）の水平周波数は48.4 kHzである。上記のように、PLL回路7は、水平周波数は48.4 kHzもロックレンジ内に含ませることができる。従って、本発明の映像表示装置は、水平走査周波数を特に変更することなく、XGAフォーマットの映像信号も表示させる能力を有することになる。

## 【0042】

以上の如く構成された本発明の映像表示装置は、上述した種々の基本的な効果に加え、次のように、マルチ画面を極めて高画質に表示することができるという効果も奏する。図8及び図9を用いてマルチ画面を表示する場合について説明する。

## 【0043】

図8（A）は、アスペクト比16:9の画面の左端部に、1440iのアスペクト比4:3の画面①を表示し、その残りの部分に、480iのアスペクト比4:3の画面②～④を表示した場合を示している。1440iのフォーマットは、480i×3であるから、480iの画面をそのまま垂直方向に並べて表示することができる。この場合、画面②～④は、水平方向は縮小により画素が間引かれるが、垂直方向では元の映像そのままの画質となり、画質劣化がない。画面②～④として、480pのアスペクト比4:3の画面を表示してもよい。この場合は、プログレッシブ信号である480pの信号をインターレース信号に変換すればよく、画質劣化は極めて小さい。

## 【0044】

図8（B）は、アスペクト比16:9の画面の略中央部に、720pの信号をインターレース信号に変換した720iのアスペクト比16:9の画面⑤、⑥を垂直方向に並べて表示した場合を示している。この場合も、プログレッシブ信号をインターレース信号に変換するだけであるので、画質劣化は極めて小さい。

## 【0045】

図9を用いて、以上のようなマルチ画面を実現する構成例について説明する。図9に示す構成例は、最大で4画面のマルチ画面を実現する場合を示している。入力1～4は、480i、1080i、480p、720pのいずれかの信号である。入力1～4は、I-P変換部10のI-P変換器101～104にそれぞれ入力される。入力1～4は、切換部40の切換器401～404にも入力される。切換器401～404は、I-P変換器101～104の出力と入力1～4とを、切換制御信号（SWCTL）に応じて選択的に切り換えて出力する。

## 【0046】

前述のように、入力1～4として入力された映像信号が480iや1080iのようにインターレース信号であれば、I-P変換器101～104によってプログレッシブ信号に変換して後段の拡大縮小部20に供給する必要がある。入力1～4として入力された映像信号が480pや720pのようにプログレッシブ信号であれば、そのプログレッシブ信号をそのまま後段の拡大縮小部20に供給する必要がある。切換器401～404は、入力信号に応じてI-P変換器101～104の出力を用いるか、入力信号をそのまま用いるかを切り換えるためのものである。なお、切換制御信号(SWCTL)は、入力1～4のフォーマットを判別することにより容易に生成することができる。

#### 【0047】

切換部40の出力は拡大縮小部20に入力される。拡大縮小部20は、水平拡大縮小器201H～204Hと、垂直拡大縮小器201V～204Vとを備える。垂直拡大縮小器201V～204Vは、図1における拡大縮小部2と同じ構成を有する。即ち、垂直拡大縮小器201V～204Vは、それぞれ、6/2変換器21と2/1変換器22と4/3変換器23を備える。但し、垂直拡大縮小器201V～204Vは、マルチ画面の態様によっては、1440pには変換せず、入力信号をそのまま出力することもある。水平拡大縮小器201H～204Hは、それぞれのマルチ画面に応じて水平方向を拡大もしくは縮小する。

#### 【0048】

図8(A)の例において、図9の入力1～4が画面①～④に対応しているとすると、垂直拡大縮小器201Vは入力1を1440pに変換し、垂直拡大縮小器202V～204Vは入力2～4を1440pに変換せず、480pのまま出力する。図8(B)の例において、図9の入力1, 2が画面①, ②に対応しているとすると、垂直拡大縮小器201Vは入力1, 2を1440pに変換せず、720pのまま出力する。水平拡大縮小器201H～204Hにおける水平方向の縮小はそれぞれの画面の大きさに応じたものである。

#### 【0049】

拡大縮小部20より出力された1440p(場合によっては、480pや720p)の信号は、P-I変換部30のP-I変換器301～304に入力される

。P-I変換器301～304は、入力されたプログレッシブ信号をインターレース信号に変換する。なお、ここでは図示を省略しているが、P-I変換器301～304には、フィールド信号が供給され、P-I変換器301～304はフィールド信号に基づいてP-I変換する。

#### 【0050】

P-I変換器301～304の出力は、画面合成部50に入力される。画面合成部50は、P-I変換器301～304の出力を合成して、マルチ画面とされた1440iの映像信号を出力する。

#### 【0051】

以上より分かるように、1440iまたは1440pは、ハードウェア規模の増大を極力抑えつつ、現在存在する480i, 1080i, 480p, 720pの全てを高画質で表示させるという点で実用上極めて優れたフォーマットであると言える。

#### 【0052】

##### 【発明の効果】

以上詳細に説明したように、本発明の映像表示装置は、水平周波数15.75kHzのインターレース信号である第1の映像信号と、水平周波数33.75kHzのインターレース信号である第2の映像信号とを入力映像信号とし、第1及び第2の映像信号を水平周波数45kHzのインターレース信号である第3の映像信号に変換するよう処理する映像信号処理部と、第3の映像信号を表示する陰極線管表示部と、第3の映像信号を陰極線管表示部に表示するために陰極線管表示部の電子ビームを水平及び垂直偏向する偏向回路と、所定のロックレンジを有し、偏向回路に单一の水平同期信号を供給するPLL回路とを備え、このPLL回路は、周波数45kHzをロックレンジ内に含み、单一の水平同期信号として、ロックレンジ内に含まれる周波数を有する水平同期信号を偏向回路に供給するよう構成した。従って、複数のフォーマットの入力映像信号を、実用上最も優れた单一のフォーマットに変換して表示することができる。また、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、極めて高画質の映像を表示することができる。

【図面の簡単な説明】

【図1】

本発明で用いる映像信号処理装置の構成例を示すブロック図である。

【図2】

480p, 720p, 1080pから1440pへの走査線変換を示す図である。

【図3】

補間フィルタの構成例を示すブロック図である。

【図4】

480p, 720p, 1080pから1440pへの走査線変換における位相のオフセットを示す図である。

【図5】

P-I変換を示す図である。

【図6】

本発明の一実施形態を示すブロック図である。

【図7】

本発明を説明するための図である。

【図8】

マルチ画面の表示例を示す図である。

【図9】

図8に示すマルチ画面を実現する場合の映像信号処理装置の構成例を示すブロック図である。

【符号の説明】

1, 10 インターレース-プログレッシブ変換部 (I-P変換部)

2, 20 拡大縮小部

3, 30 プログレッシブ-インターレース変換部 (P-I変換部)

6 同期変換回路

7 PLL回路

8 偏向回路

9 CRT (陰極線管表示部)

11, 12, 101~104 I-P 変換器

21 6/2 変換器

22 2/1 変換器

23 4/3 変換器

40 切換部

50 画面合成部

201H~204H 水平拡大縮小器

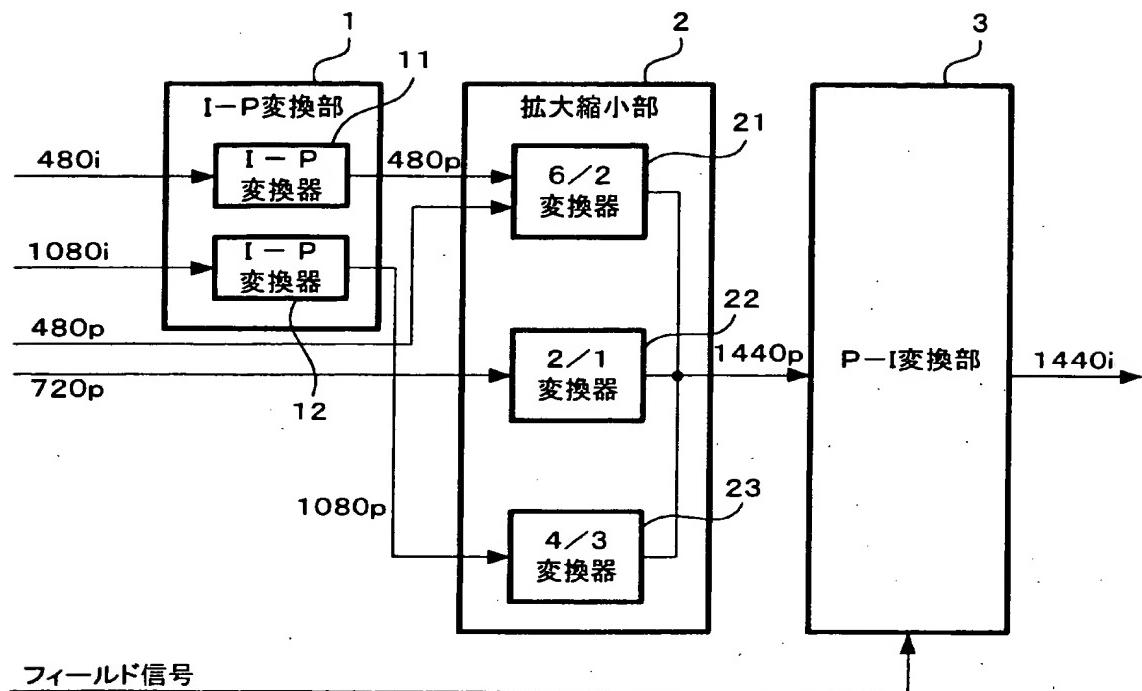
201V~204V 垂直拡大縮小器

301~304 P-I 変換器

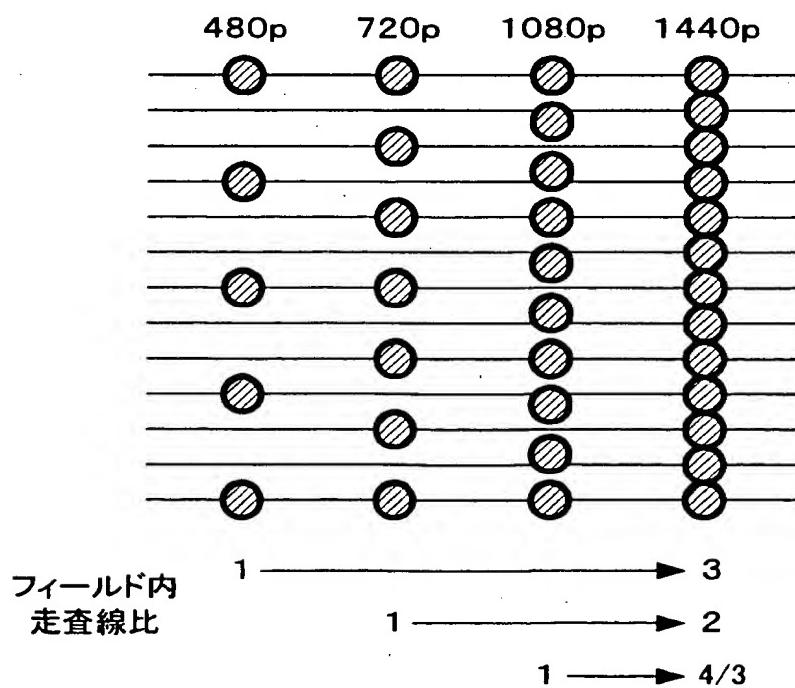
401~404 切換器

【書類名】図面

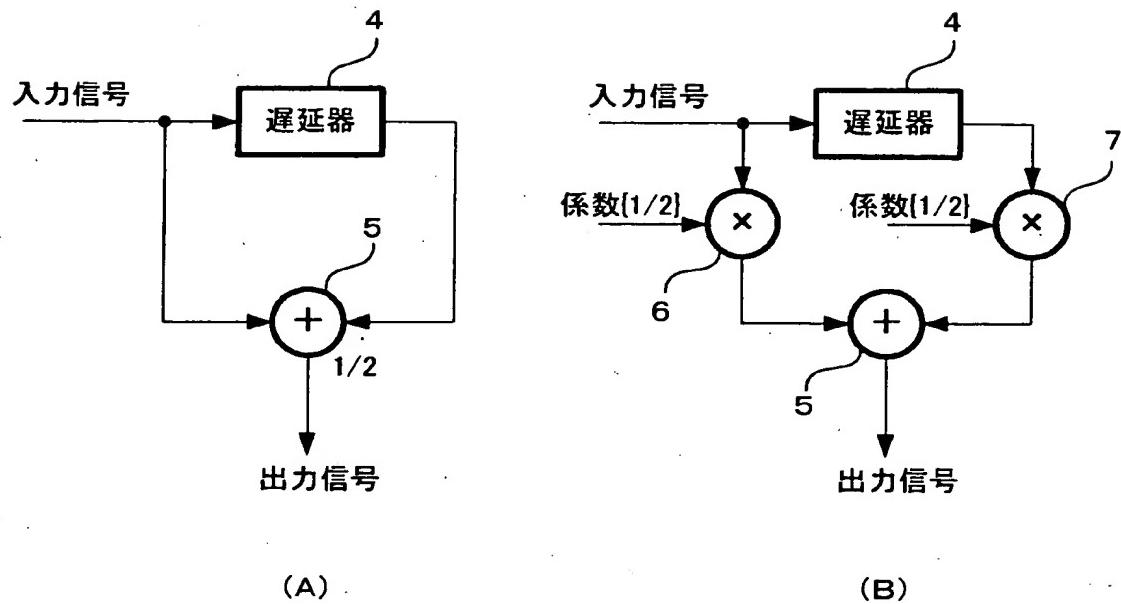
【図1】



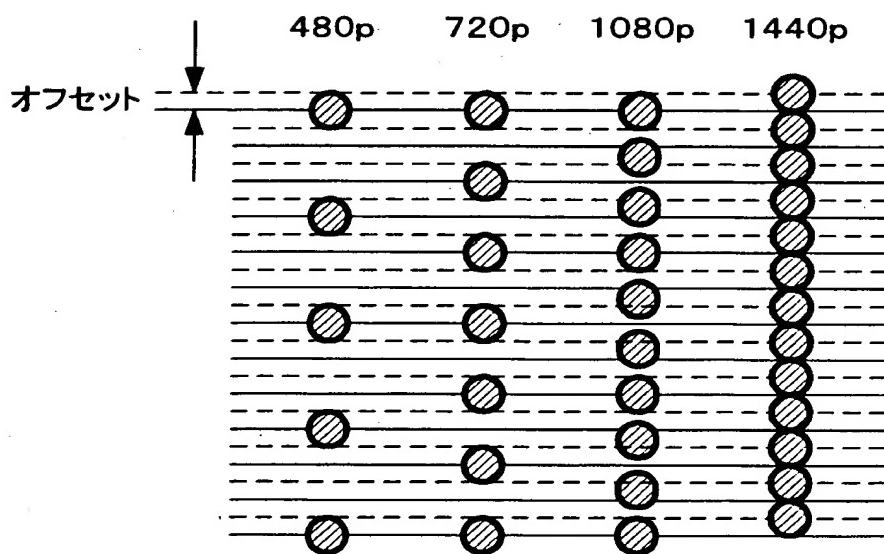
【図2】



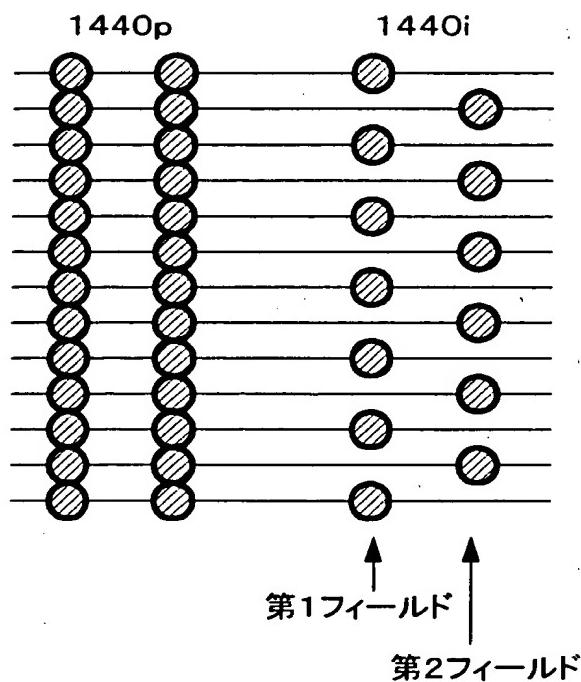
【図3】



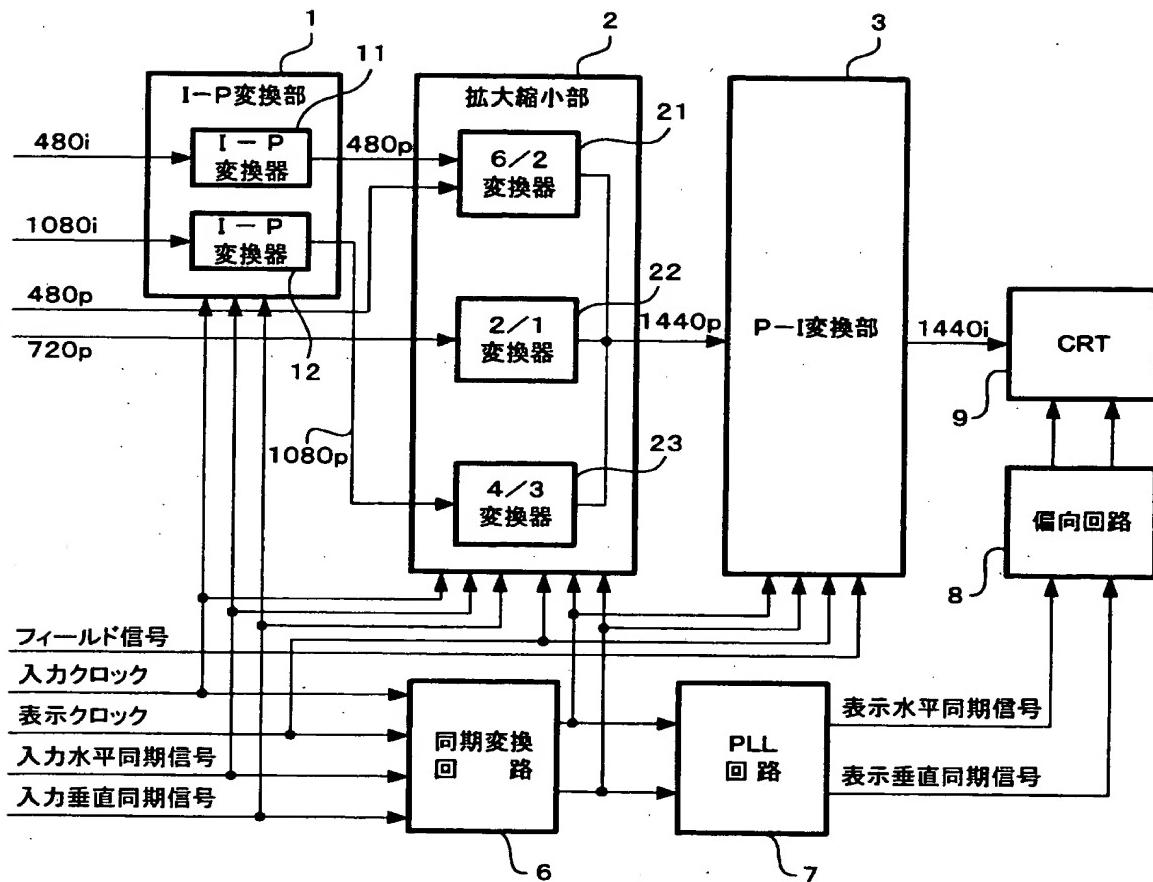
【図4】



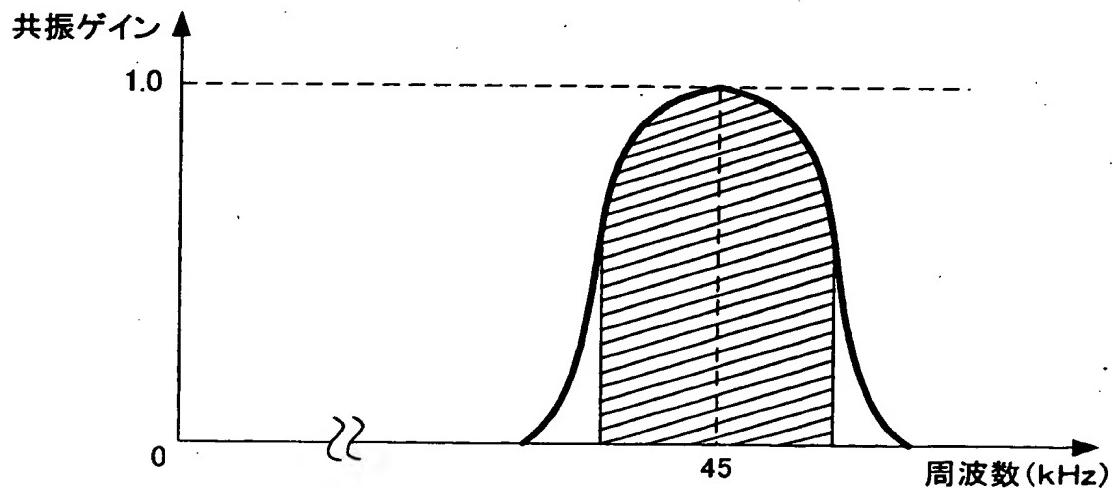
【図5】



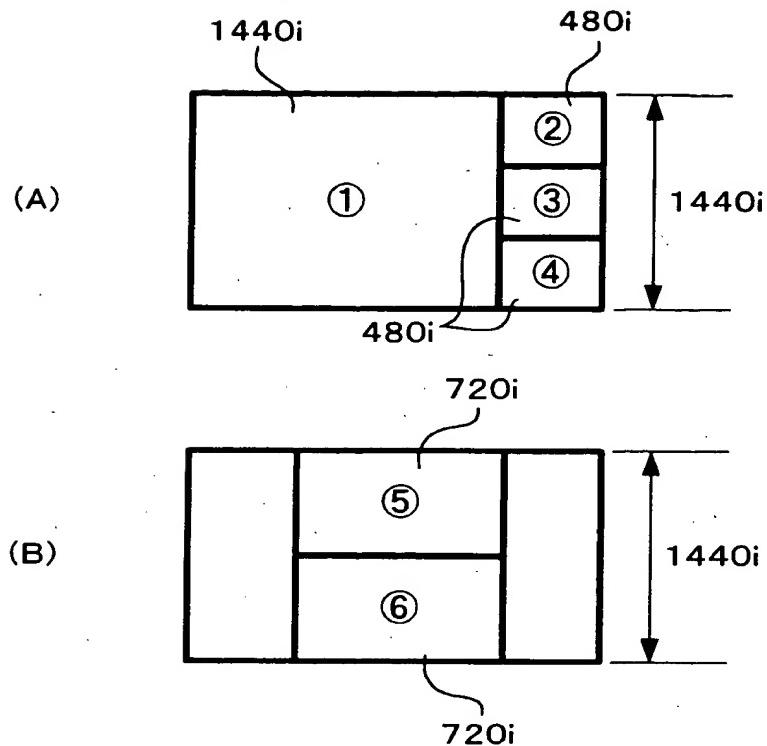
【図6】



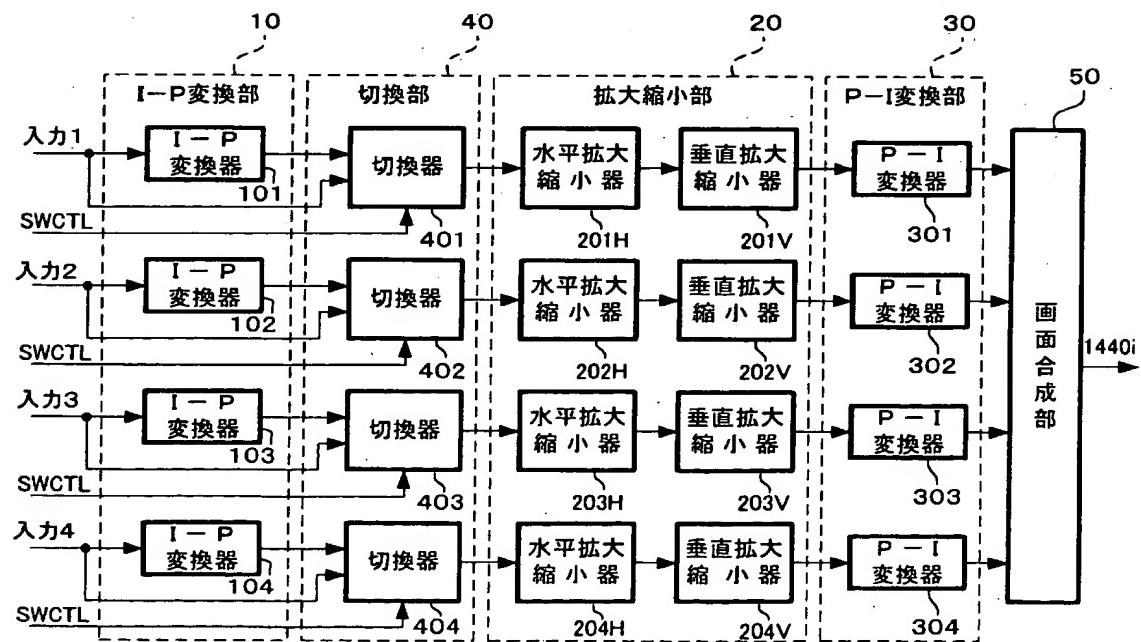
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 複数のフォーマットの入力映像信号を実用上最も優れた单一のフォーマットに変換して表示することができる映像表示装置を提供する。

【解決手段】 I-P変換部1は、480i, 1080iの信号を480p, 108pに変換する。拡大縮小部2は480p, 720p, 1080pの信号を1440pに変換する。P-I変換部3は1440pの信号を1440iに変換する。このようにして、全ての信号を水平周波数45kHzである1440iの単一フォーマットに統一する。

【選択図】 図5

出願人履歴情報

識別番号 [000004329]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地  
氏 名 日本ビクター株式会社